

HS3210 系列芯片

HS3210W

HS3210M

HS3210I

Data Sheet

广州市海山集成电路设计有限公司

编 者	广州市海山集成电路设计有限公司
日 期	2008 年 11 月 20 日
版本号	V1.6.1

目 录

1	概述.....	7
1.1	体系结构框图.....	9
1.2	系列芯片的主要功能.....	10
1.2.1	精简的 32 位 RISC CPU 核.....	10
1.2.2	片上总线支持	11
1.2.3	SDRAM 支持.....	11
1.2.4	NOR FLASH 支持	11
1.2.5	NAND FLASH 支持.....	12
1.2.6	HPI 接口支持.....	12
1.2.7	液晶显示控制器 LCD	12
1.2.8	以太网 MII 接口支持.....	12
1.2.9	AC97 接口	12
1.2.10	串行外围设备控制器 SPI.....	13
1.2.11	键盘/鼠标控制器 PS/2.....	13
1.2.12	通用异步收发器 UART	13
1.2.13	串行通讯总线控制器 I ² C	13
1.2.14	通用输入/输出控制器 GPIO	14
1.2.15	中断控制器 Interrupt	14
1.2.16	CAN 总线控制器	14
1.2.17	看门狗 Watchdog.....	14
1.2.18	其它.....	14
2	引脚定义.....	15
2.1	引脚分布图.....	15
2.2	EMI 引脚定义	18
2.3	LCD 引脚定义.....	21
2.4	以太网 MII 接口引脚定义.....	22
2.5	AC97 引脚定义.....	23
2.6	SPI 引脚定义.....	23
2.7	PS/2 引脚定义	24
2.8	UART 引脚定义.....	24
2.9	I ² C 引脚定义	24
2.10	GPIO 引脚定义	25
2.11	外部中断引脚.....	25
2.12	JTAG 引脚定义.....	26
2.13	时钟/复位引脚定义.....	26
2.14	电源/地引脚.....	26
3	系统特性.....	29
3.1	时钟系统.....	29
3.2	系统复位.....	31
3.3	地址空间.....	32
3.4	特别引脚使用说明.....	33
3.5	关于 LCD 转 VGA 说明	33

4	电气特性.....	36
4.1	临界工作参数.....	36
4.2	推荐工作参数.....	36
4.2.1	直流电气特性.....	36
4.2.2	交流电气特性.....	36
4.3	功耗特性.....	38
4.4	封装信息.....	39
4.4.1	LQFP208 封装.....	39
4.4.2	QFP208 封装.....	41

图 目 录

图 1-1 HS3210W 典型应用	7
图 1-2 HS3210M 典型应用	8
图 1-3 HS3210I 典型应用.....	8
图 1-4 HS3210W 芯片体系结构框图.....	9
图 1-5 HS3210M 芯片体系结构框图.....	9
图 1-6 HS3210I 芯片体系结构框图.....	10
图 2-1 HS3210W 封装引脚图	15
图 2-2 HS3210M 封装引脚图.....	16
图 2-3 HS3210I 封装引脚图.....	17
图 3-1 需作上拉/下拉的引脚使用示图.....	33
图 5-2 LCD 转 VGA 原理图.....	34
图 5-3 VGA 帧间数据清零电路	35
图 4-1 交流电气特性图.....	37
图 4-2 HS3210I LQFP208 封装俯视图	39
图 4-3 HS3210I LQFP208 封装侧视及剖面图	40
图 4-4 HS3210I LQFP208 封装图的尺寸数据说明	41
图 4-5 HS3210I QFP208 封装俯视图	42
图 4-6 HS3210I QFP208 封装侧视及剖面图	42
图 4-7 HS3210I QFP208 封装图的尺寸数据说明	43

表 目 录

表 1-1 HS3210 系列芯片的功能列表	10
表 2-1 EMI 引脚定义	18
表 2-2 LCD 引脚定义	21
表 2-3 以太网 MII0 接口引脚定义.....	22
表 2-4 以太网 MII1 接口引脚定义.....	23
表 2-5 AC97 引脚定义.....	23
表 2-6 SPI 引脚定义.....	23
表 2-7 PS/2 引脚定义.....	24
表 2-8 UART 引脚定义.....	24
表 2-9 I ² C 引脚定义.....	24
表 2-10 GPIO 引脚定义.....	25
表 2-11 外部中断引脚定义	25
表 2-12 JTAG 引脚定义.....	26
表 2-13 时钟/复位引脚定义	26
表 2-14 PLL 电源/地引脚定义	26
表 2-15 IO 电源/地引脚定义	26
表 2-16 CORE 电源/地引脚定义	27
表 3-1 芯片时钟域	29
表 3-2 CPU PLL 倍频的引脚上电配置	30

表 3-3 SYS PLL 倍频的引脚上电配置.....	30
表 3-4 分频时钟配置.....	30
表 3-5 上电配置引脚汇总	31
表 3-6 HS3210 系列芯片地址空间	32
表 4-1 临界工作参数	36
表 4-2 直流电气特性	36

1 概述

HS3210 系列芯片是高集成度的高性能系统级芯片 (System-On-Chip)，能够满足家庭网关 (SOHO/SME Gateway)、NAT 路由(NAT Router)、WLAN 无线接入(WLAN access point)、VPN 网关(VPN Gateway)、VOIP 等应用的功能需求，可以应用于网络音响、数码相框、音乐播放器、VOIP 设备方案，也可应用于家庭网关、高速工业控制器等设计。

该系列芯片内嵌高性能 32 位嵌入式 RISC CPU 核，采用龙芯 CPU 技术，支持通用 MIPS32 指令集，主频可达 266MHz。网络方面内置 MAC，提供 MII 接口；存储器接口方面，芯片同时支持 SDRAM 接口、NOR FLASH/ROM、NAND FLASH 接口，并特置 HPI 接口可直接与 VOIP CODEC 芯片相连；提供丰富的其他外设接口支持，包括 I2C 接口、UART 串口、SPI 接口、AC97 等接口设备，提供丰富的 GPIO 接口，能够为“网络+语音”以及工业控制应用提供高效的单芯片解决方案。

HS3210 系列包括三款芯片，分别为 HS3210W、HS3210M、HS3210I，芯片外围功能和接口配置则针对不同的市场需求和应用各有侧重，总体上 HS3210W 和 HS3210M 功能相对互补，而 HS3210I 则拥有比 HS3210W 和 HS3210M 更多的接口功能。其典型应用分别如下：

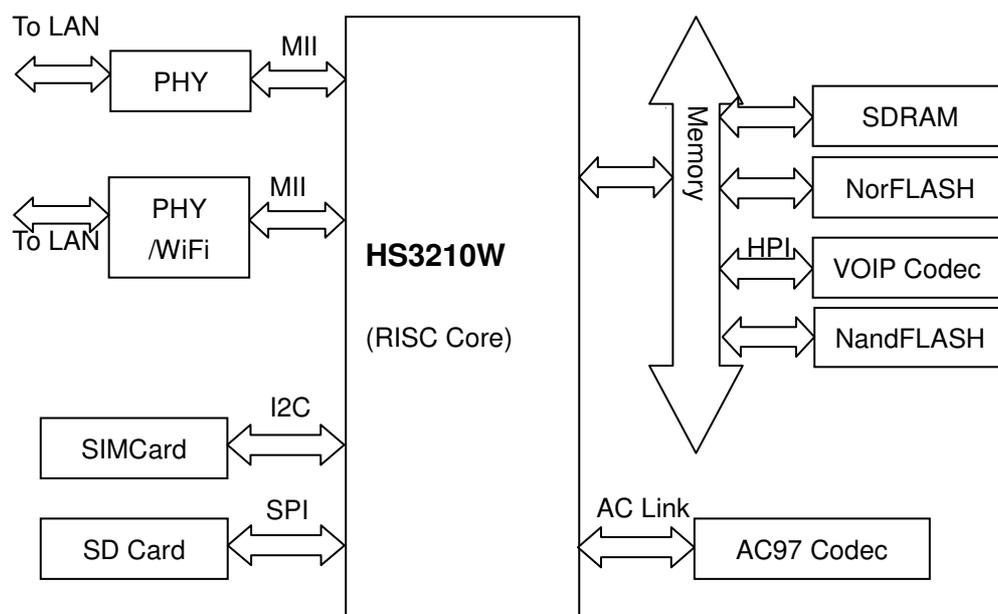


图 1-1 HS3210W 典型应用

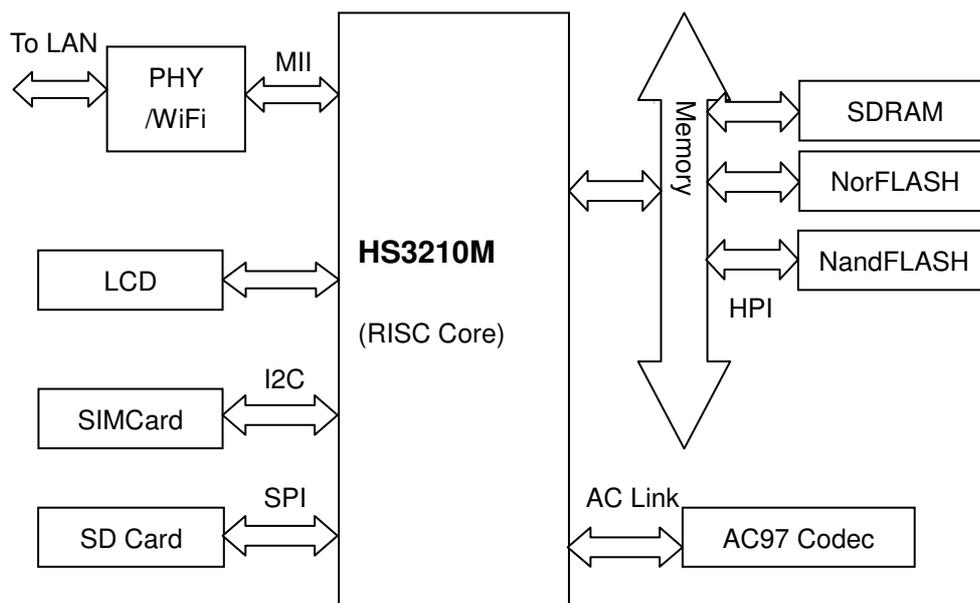


图 1-2 HS3210M 典型应用

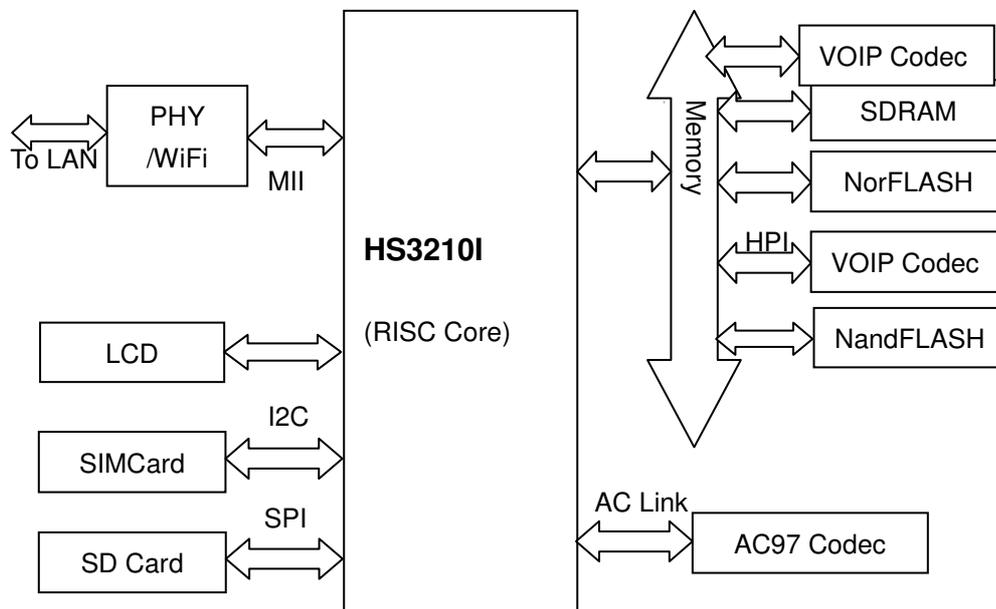


图 1-3 HS3210I 典型应用

1.1 体系结构框图

本系列三款芯片的结构框图如下所示：

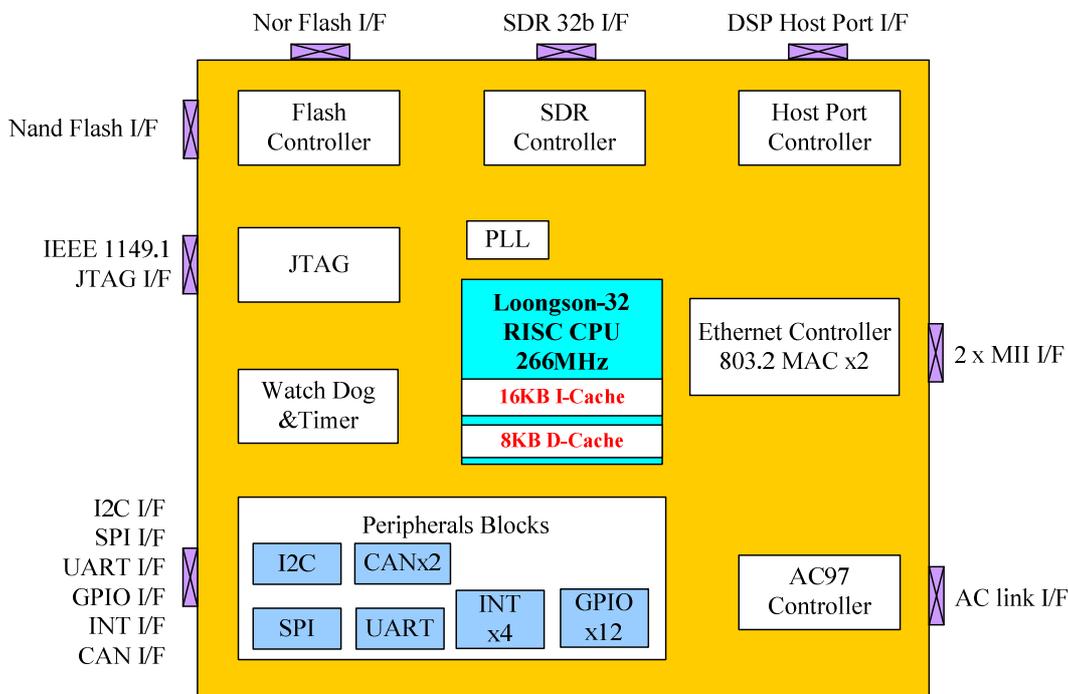


图 1-4 HS3210W 芯片体系结构框图

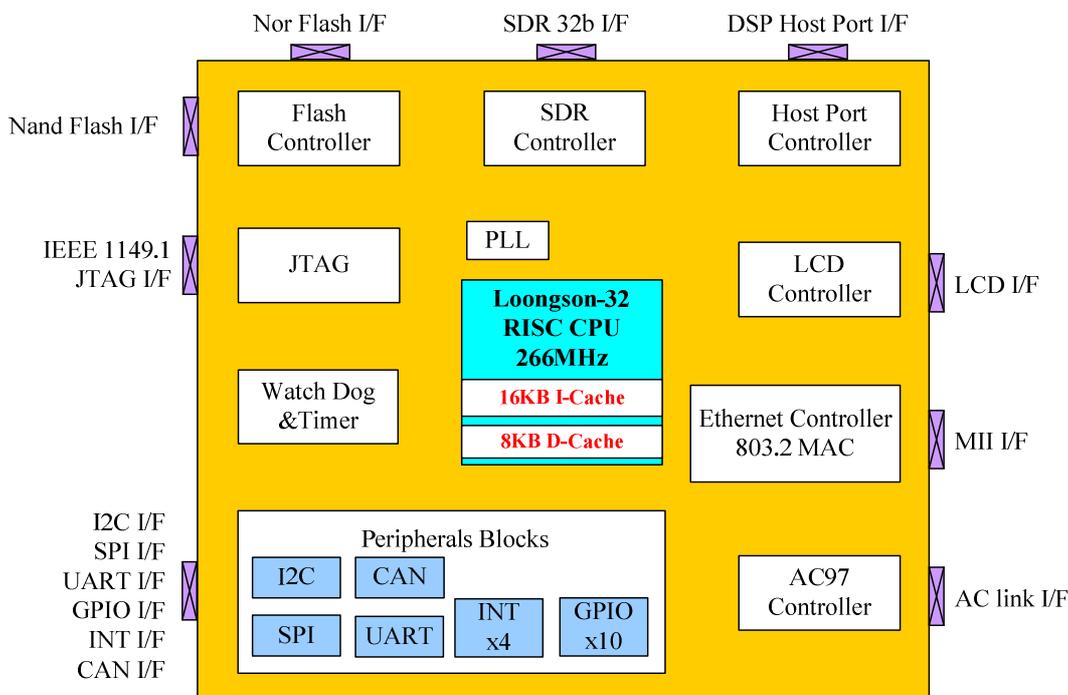


图 1-5 HS3210M 芯片体系结构框图

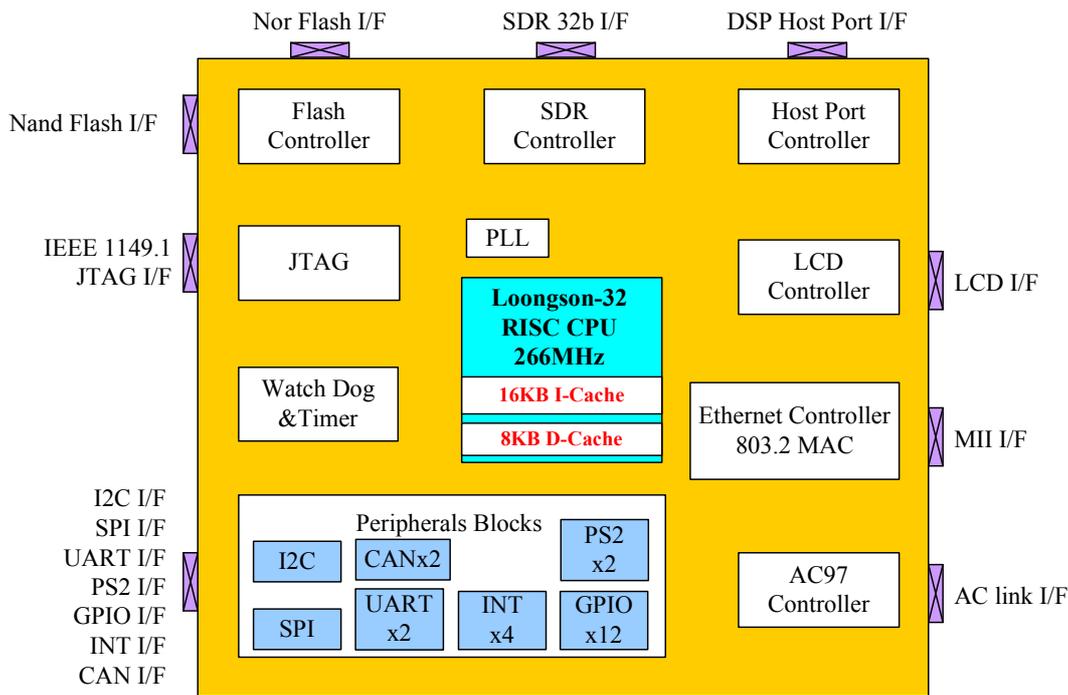


图 1-6 HS3210I 芯片体系结构框图

这三款芯片的功能概况和区别如下：

表 1-1 HS3210 系列芯片的功能列表

Name	RISC CPU	EMI			L C D	A C 9 7	M I R T	U A R T	S P I	P S 2	J T A G	G P I O	C A N	I N T	Others	Package	
		SDR	Flash	HPI													
HS3210W	✓ 266M	✓	NOR NAND	✓	-	✓	2	1	✓	✓	-	✓	12	2	4	WDT PLL	QFP208 LQFP208
HS3210M	✓ 266M	✓	NOR NAND	✓	✓	✓	1	1	✓	✓	-	✓	10	1	4	WDT PLL	QFP208 LQFP208
HS3210I	✓ 266M	✓	NOR NAND	✓	✓	✓	1	2	✓	✓	2	✓	12	2	4	WDT PLL	QFP208 LQFP208

注：“✓”代表有一个该模块或者接口；“-”代表没有该模块或者接口；“1”或者“2”代表有该模块或者接口的数量。

1.2 系列芯片的主要功能

1.2.1 精简的 32 位 RISC CPU 核

- ✓ 32 位 RISC CPU，支持通用 MIPS32 指令集
- ✓ 五级动态流水线
- ✓ 266MHz 峰值频率
- ✓ 8 项操作队列
- ✓ 静态转移预测

- ✓ 全流水的乘法功能部件
- ✓ 32 项 TLB
- ✓ 16KB 四路组相联指令 Cache
- ✓ 8KB 两路组相联数据 Cache
- ✓ 支持非阻塞的访存

1.2.2 片上总线支持

- ✓ 分为高速系统总线（High-speed System Bus, HSB）和低速外设总线（Low-speed Peripheral Bus, LPB），中间由桥接电路相连
- ✓ 高速总线 32 位地址，32 位数据宽度
- ✓ 高速总线支持突发（burst）式传输
- ✓ 高速总线仲裁支持最高优先级
- ✓ 高速总线支持单个传输的最大传输数据量以及最多传输时间的控制
- ✓ 低速总线 10 位地址，8 位数据宽度
- ✓ 低速总线不支持突发式传输
- ✓ 低速总线时钟与系统时钟同相位，为系统时钟的 1、2、4、8、16 分频，甚至时钟停止

1.2.3 SDRAM 支持

- ✓ 最大支持 256MB
- ✓ 兼容 PC100/133 内存规范，工作频率与系统总线的时钟同频
- ✓ 可编程的突发长度：1，2，4，8 字节与整页
- ✓ 支持顺序（sequential）访问
- ✓ 字节使能访问
- ✓ 支持 SDRAM 的模式寄存器配置
- ✓ 方便灵活的访问 SDRAM 的主接口
- ✓ 透明的 SDRAM 刷新控制
- ✓ 透明的 SDRAM 换行控制
- ✓ 在串行方式读写时，连续的块数据访问之间无需额外周期的开销

1.2.4 NOR FLASH 支持

- ✓ NOR FLASH 最大支持 32MB
- ✓ 数据宽度可以通过配置设为 $\times 8$ 或 $\times 16$ bit
- ✓ 支持以块为单位的写、擦除
- ✓ 支持以字节、半字和字为单位的读数据和读产品 ID
- ✓ 对于不同厂家的 NOR FLASH，其速度可进行配置
- ✓ 低功耗设计考虑，没有命令时，Flash 及控制器自动进入待机模式
- ✓ 支持 Automatic Sleep Mode，使用此模式可以使 Flash 进一步降低功耗

1.2.5 NAND FLASH 支持

- ✓ 能支持各种容量的 NAND FLASH，地址理论极限超过 1Tera Byte
- ✓ 数据宽度可以通过配置设为 $\times 8$ 或 $\times 16$ bit
- ✓ 地址周期支持 3/4/5
- ✓ 页面大小支持 512Byte/2048Byte
- ✓ 支持块擦除、整页编程
- ✓ 支持以字节、半字和字和整页为单位的读数据、读产品 ID 和读设备状态
- ✓ 对于不同厂家的 NAND FLASH，其速度可进行配置
- ✓ 低功耗设计考虑，没有命令时，Flash 及控制器自动进入待机模式

1.2.6 HPI 接口支持

- ✓ VINETIC 芯片接口兼容
- ✓ 支持 Intel Demultiplexed Mode
- ✓ 支持 Motorola Mode

1.2.7 液晶显示控制器 LCD

HS3210W	不支持
HS3210M	支持
HS3210I	支持

- ✓ 彩色/单色/灰度 LCD 面板
- ✓ 专用 DMA 视频数据通道
- ✓ 支持多种分辨率：320x240, 640x480, 800x600, 1024x768, 最大可达 1280x960
- ✓ 支持 16/8/4/2/1 位色深
- ✓ 单色 STN 16 个灰度等级，彩色 STN 4096 色
- ✓ TFT 65536 色，支持 8 位伪彩

1.2.8 以太网 MII 接口支持

HS3210W	支持 2 个 MII 接口
HS3210M	支持 1 个 MII 接口
HS3210I	支持 1 个 MII 接口

- ✓ 支持中断方式产生事件
- ✓ 每个端口均内置 MAC，完成 IEEE 802.3 MAC 层功能
 - 半双工/全双工自适应
 - 10/100Mbps 自适应
 - 半双工时，支持碰撞检测与重发（CSMA/CD）协议
 - 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除

1.2.9 AC97 接口

- ✓ 支持可变速率，最高达 48KHz

- ✓ 支持 16, 18 和 20 位采样精度
- ✓ 2 频道立体声输出
- ✓ 支持麦克风输入
- ✓ 支持外部 DMA 机制

1.2.10 串行外围设备控制器 SPI

- ✓ 全双工同步串口数据传输
- ✓ 支持到 4 个的变长字节传输
- ✓ 主模式支持
- ✓ 模式故障产生错误标志并发出中断请求
- ✓ 双缓冲接收器
- ✓ 极性和相位可编程的串行时钟
- ✓ 可在等待模式下对 SPI 进行控制

1.2.11 键盘/鼠标控制器 PS/2

HS3210W	不支持
HS3210M	不支持
HS3210I	支持 1 路鼠标和 1 路键盘

- ✓ 16 位可编程 5us 时钟计数器, 8 位可编程 60us 时钟计数器
- ✓ 支持 PS/2 键盘接口
- ✓ 支持第一套, 第二套键盘扫描码
- ✓ 支持编码键盘和非编码键盘
- ✓ 支持 PS/2 鼠标接口
- ✓ 支持二键式、三键式鼠标

1.2.12 通用异步收发器 UART

HS3210W	支持 1 路 UART
HS3210M	支持 1 路 UART
HS3210I	支持 2 路 UART

- ✓ 全双工异步数据接收/发送
- ✓ 可编程的数据格式
- ✓ 16 位可编程时钟计数器
- ✓ 支持接收超时检测
- ✓ 带仲裁的多中断系统
- ✓ 仅工作在 FIFO 方式
- ✓ 仅支持两个引脚 (TXD, RXD)
- ✓ 在寄存器与功能上兼容 NS16550A

1.2.13 串行通讯总线控制器 I²C

- ✓ 履行双向同步串行协议

- ✓ 只实现主设备操作
- ✓ 能够支持多主设备的总线
- ✓ 总线的时钟频率可编程
- ✓ 可以产生开始/停止/应答等操作
- ✓ 能够对总线的状态进行探测
- ✓ 与PHILIPS I²C标准相兼容
- ✓ 支持低速和快速模式
- ✓ 支持7位寻址和10位寻址
- ✓ 支持时钟延伸和等待状态

1.2.14 通用输入/输出控制器 GPIO

HS3210W	支持 12 路独立 GPIO
HS3210M	支持 10 路独立 GPIO
HS3210I	支持 12 路独立 GPIO

- ✓ 除了上述独立 GPIO 外，复用 GPIO 的位数多达 48 位
- ✓ 支持位操作

1.2.15 中断控制器 Interrupt

- ✓ 支持 4 路外部中断
- ✓ 支持软件设置中断
- ✓ 支持电平与边沿触发
- ✓ 支持中断屏蔽与使能

1.2.16 CAN 总线控制器

HS3210W	支持 2 路 CAN Bus
HS3210M	支持 1 路 CAN Bus
HS3210I	支持 2 路 CAN Bus

- ✓ 支持两种工作模式，即标准模式和扩展模式
- ✓ 可同时发送和接收数据，最高传送速率达 1Mbps

1.2.17 看门狗 Watchdog

- ✓ 32 比特计数器及初始化寄存器

1.2.18 其它

- ✓ 测试访问口控制器 JTAG
- ✓ 扫描测试/内建自测试 Scan/BIST
- ✓ 多时钟域系统
- ✓ 2 个锁相环 PLL，分别提供独立时钟给 CPU 和系统总线
- ✓ 芯片复位

2 引脚定义

2.1 引脚分布图

HS3210W	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)
HS3210M	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)
HS3210I	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)

芯片的封装视图分别如下:

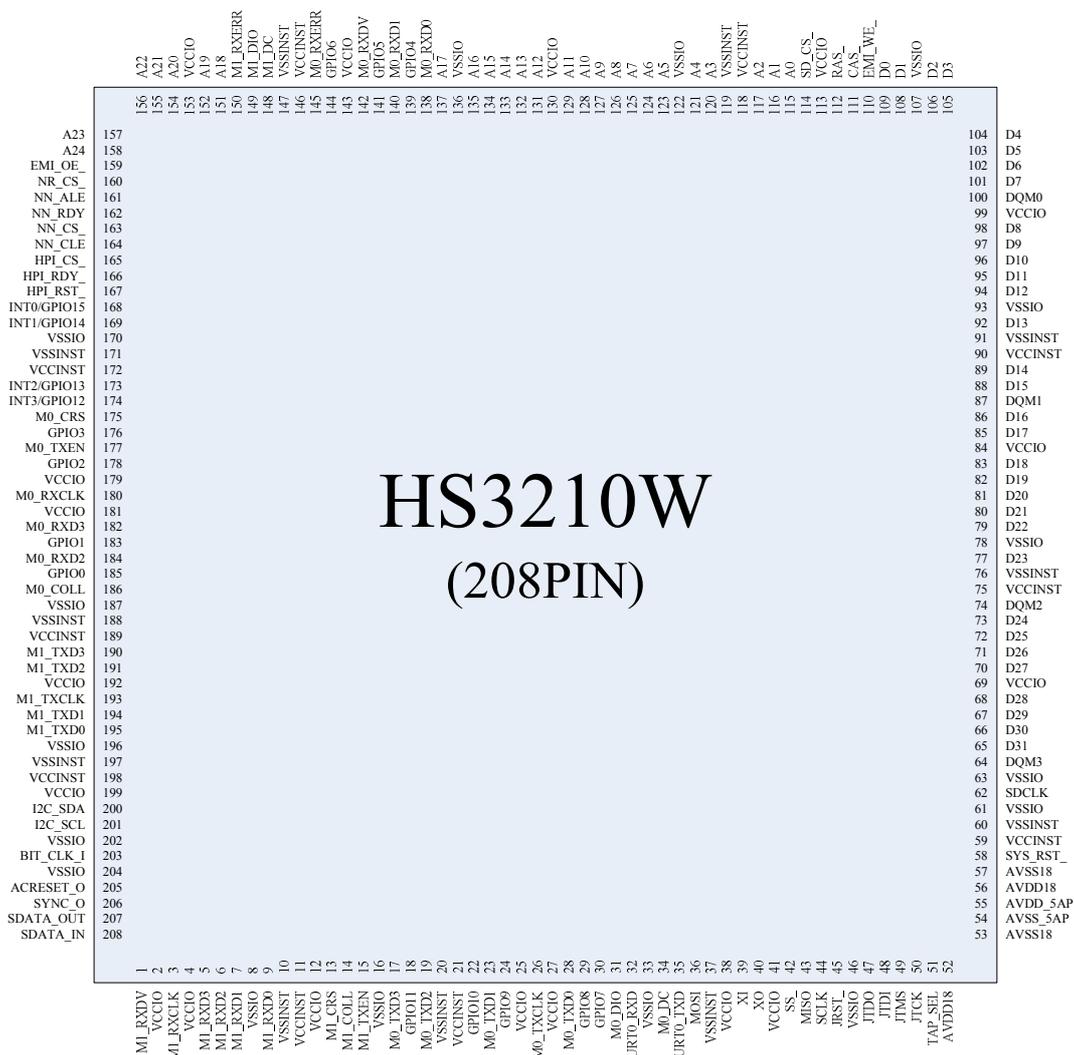


图 2-1 HS3210W 封装引脚图

156	A22	104	D4
155	A21	103	D5
154	A20	102	D6
153	A19	101	D7
152	A18	100	DQM0
151	VLINE	99	VCCIO
150	VSSIO	98	D8
149	VFRAME	97	D9
148	VSSINST	96	D10
147	VCCINST	95	D11
146	VMI	94	D12
145	M0_RXERR	93	VSSIO
144	GP106	92	D13
143	VCCIO	91	VSSINST
142	M0_RXDY	90	VCCINST
141	M0_OS	89	D14
140	M0_RXDI	88	D15
139	GP104	87	DQM1
138	M0_RXDD	86	D16
137	A17	85	D17
136	VSSIO	84	VCCIO
135	A16	83	D18
134	A15	82	D19
133	A14	81	D20
132	A13	80	D21
131	A12	79	D22
130	VCCIO	78	VSSIO
129	A11	77	D23
128	A10	76	VSSINST
127	A9	75	VCCINST
126	A8	74	DQM2
125	A7	73	D24
124	A6	72	D25
123	A5	71	D26
122	VSSIO	70	D27
121	A4	69	VCCIO
120	A3	68	D28
119	VSSINST	67	D29
118	VCCINST	66	D30
117	A2	65	D31
116	A1	64	DQM3
115	A0	63	SDCLK
114	SD_CS	62	VSSINST
113	VCCIO	61	VCCINST
112	RAS	60	URT1_RXD
111	CAS	59	URT1_TXD
110	EMI_WE	58	SYS_RST
109	D0	57	AVSS18
108	D1	56	AVDD18
107	VSSIO	55	AVSS_5AP
106	D2	54	AVSS_5AP
105	D3	53	AVSS18

HS3210I (208PIN)

图 2-3 HS3210I 封装引脚图

2.2 EMI 引脚定义

HS3210W	75PIN, 支持 SDR、Nor Flash、Nand Flash、HPI
HS3210M	75PIN, 支持 SDR、Nor Flash、Nand Flash、HPI
HS3210I	75PIN, 支持 SDR、Nor Flash、Nand Flash、HPI

其中“复用”栏有“Y”标志的信号还特别用于上电复用的跳线引脚用，其详细功能参考后面的“系统特性”章节的描述。

表 2-1 EMI 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
110	110	110	EMI_WE_	O		SDRAM/NOR-FLASH/HPI 外部存储器写使能信号
62	62	63	SDCLK	O		SDRAM 时钟
114	114	114	SD_CS_	O		SDRAM 片选信号
112	112	112	RAS_	O		SDRAM 行地址选通信号
111	111	111	CAS_	O		SDRAM 列地址选通信号
100	100	100	DQM0	O		SDRAM 数据宽度屏蔽信号
87	87	87	DQM1	O		SDRAM 数据宽度屏蔽信号
74	74	74	DQM2	O		SDRAM 数据宽度屏蔽信号
64	64	64	DQM3	O		SDRAM 数据宽度屏蔽信号
160	161	161	NR_CS_	O		NOR FLASH 片选信号
165	167	167	HPI_CS_	O		HPI 片选信号 (VINETIC-2CPE/-1CPE)
159	160	160	EMI_OE_	B (O)	Y	NOR-FLASH/HPI 外部存储器输出使能信号/CPUCLK 倍频选择 0
167	169	169	HPI_RST_	B (O)	Y	HPI 复位信号/CPUCLK 倍频选择 2
166	168	168	HPI_RDY_	I		HPI 就绪状态信号
161	162	162	NN_ALE	B	Y	NAND FLASH 地址锁存使能信号/ NORFLASH 位宽(上电时弱上拉表示 16 位/下拉表示 8 位)
164	166	166	NN_CLE	B	Y	NANA FLASH 命令锁存使能信号/CPUCLK 倍频选择 1
163	164	164	NN_CS_	O		NAND FLASH 片选信号
162	163	163	NN_RDY	I		NAND FLASH 就绪状态信号
115	115	115	A0	O		SDRAM/NORFLASH/HPI 外部存储地址总线第 0 位
116	116	116	A1	O		SDRAM/NORFLASH/HPI 外部存储地址总线第 1 位
117	117	117	A2	O		SDRAM/NORFLASH/HPI 外部

						存储地址总线第 2 位
120	120	120	A3	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 3 位
121	121	121	A4	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 4 位
123	123	123	A5	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 5 位
124	124	124	A6	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 6 位
125	125	125	A7	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 7 位
126	126	126	A8	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 8 位
127	127	127	A9	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 9 位
128	128	128	A10	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 10 位
129	129	129	A11	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 11 位
131	131	131	A12	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 12 位
132	132	132	A13	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 13 位
133	133	133	A14	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 14 位
134	134	134	A15	O		SDRAM/NORFLASH/HPI 外部 存储地址总线第 15 位
135	135	135	A16	B (O)	GPIO29 (Y)	SDRAM/NORFLASH/HPI 外部 存储地址总线第 16 位/SDCLK 倍 频选择 0
137	137	137	A17	B (O)	GPIO30 (Y)	SDRAM/NORFLASH/HPI 外部 存储地址总线第 17 位/SDCLK 倍 频选择 1
151	152	152	A18	B (O)	GPIO31 (Y)	SDRAM/NORFLASH/HPI 外部 存储地址总线第 18 位/SDCLK 倍 频选择 2
152	153	153	A19	B (O)	GPIO32	SDRAM/NORFLASH/HPI 外部 存储地址总线第 19 位
154	154	154	A20	B (O)	GPIO33	SDRAM/NORFLASH/HPI 外部 存储地址总线第 20 位
155	155	155	A21	B (O)	GPIO34	SDRAM/NORFLASH/HPI 外部 存储地址总线第 21 位
156	156	156	A22	B (O)	GPIO35	SDRAM/NORFLASH/HPI 外部 存储地址总线第 22 位

157	157	157	A23	B (O)	GPIO36	SDRAM/NORFLASH/HPI 外部 存储地址总线第 23 位
158	159	159	A24	B (O)	GPIO37	SDRAM/NORFLASH/HPI 外部 存储地址总线第 24 位
109	109	109	D0	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 0 位
108	108	108	D1	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 1 位
106	106	106	D2	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 2 位
105	105	105	D3	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 3 位
104	104	104	D4	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 4 位
103	103	103	D5	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 5 位
102	102	102	D6	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 6 位
101	101	101	D7	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 7 位
98	98	98	D8	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 8 位
97	97	97	D9	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 9 位
96	96	96	D10	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 10 位
95	95	95	D11	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 11 位
94	94	94	D12	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 12 位
92	92	92	D13	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 13 位
89	89	89	D14	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 14 位
88	88	88	D15	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 15 位
86	86	86	D16	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 16 位
85	85	85	D17	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 17 位
83	83	83	D18	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 18 位
82	82	82	D19	B		SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 19 位

81	81	81	D20	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 20 位
80	80	80	D21	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 21 位
79	79	79	D22	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 22 位
77	77	77	D23	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 23 位
73	73	73	D24	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 24 位
72	72	72	D25	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 25 位
71	71	71	D26	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 26 位
70	70	70	D27	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 27 位
68	68	68	D28	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 28 位
67	67	67	D29	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 29 位
66	66	66	D30	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 30 位
65	65	65	D31	B	SDRAM/NAND/NORFLASH/HP I 外部存储数据总线第 31 位

2.3 LCD 引脚定义

HS3210W	不支持 LCD
HS3210M	支持 LCD, 22 PIN
HS3210I	支持 LCD, 22 PIN

表 2-2 LCD 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
-	13	13	VCLK	O	GPIO39	LCD 外部时钟
-	149	149	VFRAME	B (O)	GPIO40	LCD 帧扫描信号
-	151	151	VLINE	B (O)	GPIO41	LCD 行扫描信号
-	146	146	VM	B (O)	GPIO42	LCD 可视使能信号
-	194	192	VD0	B (O)	GPIO43	LCD 像素数据第 0 位
-	193	191	VD1	B (O)	GPIO44	LCD 像素数据第 1 位
-	191	189	VD2	B (O)	GPIO45	LCD 像素数据第 2 位
-	190	188	VD3	B (O)	GPIO46	LCD 像素数据第 3 位
-	189	187	VD4	B (O)	GPIO47	LCD 像素数据第 4 位

-	200	198	VD5	B(O)	GPIO48	LCD 像素数据第 5 位
-	199	197	VD6	B(O)	GPIO49	LCD 像素数据第 6 位
-	198	196	VD7	B(O)	GPIO50	LCD 像素数据第 7 位
-	197	195	VD8	B(O)	GPIO51	LCD 像素数据第 8 位
-	196	194	VD9	B(O)	GPIO52	LCD 像素数据第 9 位
-	16	15	VD10	B(O)	GPIO53	LCD 像素数据第 10 位
-	15	14	VD11	B(O)	GPIO54	LCD 像素数据第 11 位
-	11	11	VD12	B(O)	GPIO55	LCD 像素数据第 12 位
-	8	8	VD13	B(O)	GPIO56	LCD 像素数据第 13 位
-	7	7	VD14	B(O)	GPIO57	LCD 像素数据第 14 位
-	5	5	VD15	B(O)	GPIO58	LCD 像素数据第 15 位
-	4	4	VD16	B(O)	GPIO59	LCD 像素数据第 16 位
-	3	3	VD17	B(O)	GPIO60	LCD 像素数据第 17 位

2.4 以太网 MII 接口引脚定义

HS3210W	17 x 2 PIN, 支持 2 路 MII 接口
HS3210M	17 x 1 PIN, 支持 1 路 MII 接口
HS3210I	17 x 1 PIN, 支持 1 路 MII 接口

表 2-3 以太网 MII0 接口引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
26	25	26	MO_TXCLK	I		发送数据时钟
177	178	178	MO_TXEN	0		发送数据使能信号
28	27	28	MO_TXD0	0		发送数据第 0 位
23	22	23	MO_TXD1	0		发送数据第 1 位
19	19	19	MO_TXD2	0		发送数据第 2 位
17	18	17	MO_TXD3	0		发送数据第 3 位
180	180	180	MO_RXCLK	I		接收数据时钟
142	142	142	MO_RXDV	I		接收数据有效的状态信号
145	145	145	MO_RXERR	I		接收数据错误的状态信号
138	138	138	MO_RXD0	I		接收数据第 0 位
140	140	140	MO_RXD1	I		接收数据第 1 位
184	183	183	MO_RXD2	I		接收数据第 2 位
182	181	181	MO_RXD3	I		接收数据第 3 位
186	185	185	MO_COLL	I		发送与接收数据冲突的状态信号
175	176	176	MO_CRS	I		载波状态信号
31	30	31	MO_DIO	B		控制字串行数据
34	33	33	MO_DC	0		控制字时钟

注：忽略 MO_TXERR 发送数据错误的状态信号

表 2-4 以太网 MII1 接口引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
193	-	-	M1_TXCLK	I		发送数据时钟
15	-	-	M1_TXEN	0		发送数据使能信号
195	-	-	M1_TXD0	0		发送数据第 0 位
194	-	-	M1_TXD1	0		发送数据第 1 位
191	-	-	M1_TXD2	0		发送数据第 2 位
190	-	-	M1_TXD3	0		发送数据第 3 位
3	-	-	M1_RXCLK	I		接收数据时钟
1	-	-	M1_RXDV	I		接收数据有效的状态信号
150	-	-	M1_RXERR	I		接收数据错误的状态信号
9	-	-	M1_RXD0	I		接收数据第 0 位
7	-	-	M1_RXD1	I		接收数据第 1 位
6	-	-	M1_RXD2	I		接收数据第 2 位
5	-	-	M1_RXD3	I		接收数据第 3 位
14	-	-	M1_COLL	I		发送与接收数据冲突的状态信号
13	-	-	M1_CRS	I		载波状态信号
149	-	-	M1_DIO	B		控制字串行数据
148	-	-	M1_DC	0		控制字时钟

注：忽略 M1_TXERR 发送数据错误的状态信号

2.5 AC97 引脚定义

HS3210W、HS3210M、HS3210I 均支持 AC97，共 5PIN。

表 2-5 AC97 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
203	204	204	BIT_CLK_I	B(I)	GPIO24	AC97 时钟
208	1	1	SDATA_IN	B(I)	GPIO25	AC97 数据输入
207	208	208	SDATA_OUT	B(O)	GPIO26	AC97 数据输出
206	207	207	SYNC_O	B(O)	GPIO27	AC97 同步信号
205	206	206	ACRESET_O	B(OD)	GPIO28	AC97 复位信号

2.6 SPI 引脚定义

HS3210W、HS3210M、HS3210I 均支持 SPI Master，共 4PIN。

表 2-6 SPI 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
44	44	44	SCLK	B(O)	GPIO20	SPI 时钟(芯片只实现主模块)
36	35	35	MOSI	B(O)	GPIO21	SPI 主出从入数据
43	43	43	MISO	B(I)	GPIO22	SPI 主入从出数据
42	42	42	SS_	B(O)	GPIO23	SPI 选通信号

2.7 PS/2 引脚定义

HS3210W	不支持
HS3210M	不支持
HS3210I	支持 1 路鼠标和 1 路键盘，共 4 PIN

表 2-7 PS/2 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
-	-	41	K_CLK	B (BoD)	GPIO16	键盘时钟
-	-	37	K_DAT	B (BoD)	GPIO17	键盘数据
-	-	203	M_CLK	B (BoD)	GPIO18	鼠标时钟
-	-	202	M_DAT	B (BoD)	GPIO19	鼠标数据

2.8 UART 引脚定义

HS3210W	支持 1 路 UART，共 2 PIN
HS3210M	支持 1 路 UART，共 2 PIN
HS3210I	支持 2 路 UART，共 4 PIN

表 2-8 UART 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
35	34	34	URT0_TXD	O		UART0 发送数据
32	31	32	URT0_RXD	I		UART0 接收数据
-	-	59	URT1_TXD	O		UART1 发送数据
-	-	60	URT1_RXD	I		UART1 接收数据

2.9 I²C 引脚定义

HS3210W、HS3210M、HS3210I 均支持 I²C，共 2PIN。

表 2-9 I²C 引脚定义

PIN No.	信号名称	类型	信号描述
---------	------	----	------

HS3210W	HS3210M	HS3210I			复用	
201	203	201	I2C_SCL	BoD		I ² C 时钟
200	202	200	I2C_SDA	BoD		I ² C 数据

2.10 GPIO 引脚定义

HS3210W	支持 12 路独立 GPIO，共 12 PIN，含两路 CAN Bus
HS3210M	支持 10 路独立 GPIO，共 10 PIN，含 1 路 CAN Bus
HS3210I	支持 12 路独立 GPIO，共 12 PIN，含两路 CAN Bus

表 2-10 GPIO 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
185	184	184	GPIO0	B		GPIO 专用线第 0 位
183	182	182	GPIO1	B		GPIO 专用线第 1 位
178	179	179	GPIO2	B		GPIO 专用线第 2 位
176	177	177	GPIO3	B		GPIO 专用线第 3 位
139	139	139	GPIO4	B		GPIO 专用线第 4 位
141	141	141	GPIO5	B		GPIO 专用线第 5 位
144	144	144	GPIO6	B		GPIO 专用线第 6 位
30	29	30	GPIO7	B		GPIO 专用线第 7 位
29	28	29	GPIO8	B	CAN0_TX	GPIO 专用线第 8 位/第 1 路 CAN 总线发送数据信号
24	23	24	GPIO9	B	CAN0_RX	GPIO 专用线第 9 位/第 1 路 CAN 总线接收数据信号
22	-	22	GPIO10	B	CAN1_TX	GPIO 专用线第 10 位/第 2 路 CAN 总线发送数据信号
18	-	18	GPIO11	B	CAN1_RX	GPIO 专用线第 11 位/第 2 路 CAN 总线发送数据信号

2.11 外部中断引脚

HS3210W、HS3210M、HS3210I 均支持 4 个外部中断，共 4PIN。该 4 个外部中断信号也可用作普通的 GPIO 信号。

表 2-11 外部中断引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
174	175	175	INT3	B	GPIO12	GPIO 专用线第 12 位/中断 3
173	174	174	INT2	B	GPIO13	GPIO 专用线第 13 位/中断 2
169	171	171	INT1	B	GPIO14	GPIO 专用线第 14 位/中断 1
168	170	170	INT0	B	GPIO15	GPIO 专用线第 15 位/中断

						0(HPI 中断)
--	--	--	--	--	--	-----------

注：4 个中断信号均内置上拉电阻。

2.12 JTAG 引脚定义

HS3210W、HS3210M、HS3210I 均支持 JTAG 接口，方便在线调试，共 6 PIN。

表 2-12 JTAG 引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
51	51	51	TAP_SEL	I		TAP (测试访问口) 选择 (=1 选择 EJTAG; =0 选择 SOC), 内置上拉电阻
50	50	50	JTCK	I		TAP 时钟, 内置上拉电阻
45	45	45	JRST_	I		TAP 复位, 内置上拉电阻
48	48	48	JTDI	I		TAP 数据输入, 内置上拉电阻
47	47	47	JTDO	O		TAP 数据输出
49	49	49	JTMS	I		TAP 工作模式, 内置上拉电阻

2.13 时钟/复位引脚定义

表 2-13 时钟/复位引脚定义

PIN No.			信号名称	类型	复用	信号描述
HS3210W	HS3210M	HS3210I				
39	39	38	XI	I		晶振输入 (5MHz crystal)
40	40	39	XO	O		晶振输出
58	58	58	SYS_RST_	I		系统复位

2.14 电源/地引脚

表 2-14 PLL 电源/地引脚定义

PIN No.			电源名称	数量	描述
HS3210W	HS3210M	HS3210I			
55	55	55	AVDD_5AP	1	PLL 模拟电源, 1.8V (单独滤波)
54	54	54	AVSS_5AP	1	PLL 模拟地
52, 56	52, 56	52, 56	AVDD18	2	PLL 模拟电源, 1.8V (单独滤波)
53, 57	53, 57	53, 57	AVSS18	2	PLL 模拟地

表 2-15 IO 电源/地引脚定义

PIN No.			电源名称	描述
HS3210W	HS3210M	HS3210I		
(共 18 PIN) 2, 4, 12, 25,	(共 16 PIN) 2, 12, 14, 24,	(共 14 PIN) 2, 12, 25, 27,	VCCIO	数字 IO 电源, 3.3V

27, 38, 41, 69, 84, 99, 113, 130, 143, 153, 179, 181, 192, 199	26, 38, 41, 69, 84, 99, 113, 130, 143, 165, 192, 201	40, 69, 84, 99, 113, 130, 143, 165, 190, 199		
(共 16 PIN) 8, 16, 33, 46, 61, 63, 78, 93, 107, 122, 136, 170, 187, 196, 202, 204	(共 15 PIN) 6, 17, 32, 46, 61, 63, 78, 93, 107, 122, 136, 150, 158, 186, 205	(共 11 PIN) 6, 16, 46, 78, 93, 107, 122, 136, 150, 158, 205	VSSIO	数字 IO 地

表 2-16 CORE 电源/地引脚定义

PIN No.			电源 名称	描述
HS3210W	HS3210M	HS3210I		
(共 10 PIN) 11, 21, 59, 75, 90, 118, 146, 172, 189, 198	(共 11 PIN) 10, 21, 37, 59, 75, 90, 118, 147, 173, 188, 195	(共 10 PIN) 10, 21, 36, 61, 75, 90, 118, 147, 173, 193	VCCINST	数字 core 电 源, 1.8V
(共 11 PIN) 10, 20, 37, 60, 76, 91, 119, 147, 171, 188, 197	(共 10 PIN) 9, 20, 36, 60, 76, 91, 119, 148, 172, 187	(共 9 PIN) 9, 20, 62, 76, 91, 119, 148, 172, 186	VSSINST	数字 core 地

3 系统特性

3.1 时钟系统

HS3210 系列芯片有多个时钟域，详细如表 3-1 所示。包括从外部输入的晶振时钟 XIN，这是 CPU PLL 和 SYS PLL 的输入时钟。CPU_CLK 是 32 位 RISC CPU 的工作时钟，通过 CPU PLL 锁相环倍频 XIN 获得。SYS_CLK 是芯片的系统时钟，通过 SYS PLL 倍频 XIN 产生，芯片中外部存储控制器和内部高速互连总线都处于系统时钟，低速外设控制器的时钟是通过系统时钟四分频获得，所以系统时钟是 HS3210 系列芯片中最重要时钟，大部分的时钟都是与其有直接或间接的关联。

表 3-1 芯片时钟域

编号	时钟	产生方式	描述	HS 3210W	HS 3210M	HS 3210I
1	XIN	外部输入	Crystal 时钟, 5MHz; 作为 CPU PLL 和 SYS PLL 的输入, 通过 CLKBAK_MODE_=1 选择	✓	✓	✓
2	CLKBAK	外部输入	备份时钟, 25MHz; 作为 CPU PLL 和 SYS PLL 的输入, 通过 CLKBAK_MODE_=0 选择	-	-	-
3	TCK_CLK	外部输入	JTAG 时钟	✓	✓	✓
4	CPU_CLK	PLL 倍频	32 位 RISC CPU 时钟, 150MHz~266MHz	✓	✓	✓
5	SYS_CLK	PLL 倍频	系统时钟, 50MHz~133MHz	✓	✓	✓
6	LCD_CLK	由 CPU_CLK 分频产生	LCD 时钟, 2MHz~40MHz	-	✓	✓
7	BIT_CLK_I	外部输入	AC97 时钟, 12.288MHz	✓	✓	✓
8	LPB_CLK	由 SYS_CLK 四分频产生	低速外设 SPI、PS/2、UART 和 I ² C 控制器的时钟	✓	✓	✓
9	MTX_CLK x2	由外部 PHY 的 PLL 产生	MAC 数据输出时钟, 共有两个, 2.5MHz/25MHz	✓	✓	✓
10	MRX_CLK x2	由外部 PHY 的 PLL 产生	MAC 数据接收时钟, 共有两个, 2.5MHz/25MHz	✓	✓	✓

32 位 RISC CPU 的锁相环的倍频是通过上电时芯片引脚 HPI_RST_、NN_CLE、EMI_OE_ 的上下拉进行配置，具体配置如

表 3-2 所示，相应的配置值可以通过时钟分频寄存器的 CPU_FR_CFG[5:3]

(参考 user manual) 读出。

表 3-2 CPU PLL 倍频的引脚上电配置

HPI_RST_	NN_CLE	EMI_OE_	CPU_FR_CFG[5:3]	XIN	CPU 时钟
下拉	下拉	下拉	0	5MHz	5MHz, PLL 旁路
下拉	下拉	上拉	1	5MHz	150MHz
下拉	上拉	下拉	2	5MHz	160MHz
下拉	上拉	上拉	3	5MHz	175MHz
上拉	下拉	下拉	4	5MHz	200MHz
上拉	下拉	上拉	5	5MHz	225MHz
上拉	上拉	下拉	6	5MHz	250MHz
上拉	上拉	上拉	7	5MHz	266MHz

系统时钟 SYS 的锁相环的倍频是通过上电时芯片引脚 A18、A17、A16 的上下拉进行配置，具体配置如表 3-3 所示，相应的配置值可以通过时钟分频寄存器的 SD_FR_CFG[2:0] 读出 (参考 user manual)。若是关闭 SYS PLL，则 SYS_CLK 的频率则恒为 CPU_CLK 的 1/2，下面的上电配置就没有意义了，关闭 SYS PLL 芯片自动完成，不需用户作任何设置。

表 3-3 SYS PLL 倍频的引脚上电配置

A18	A17	A16	SD_FR_CFG[2:0]	XIN	SYS 时钟
下拉	下拉	下拉	0	5MHz	5MHz, PLL 旁路
下拉	下拉	上拉	1	5MHz	50MHz
下拉	上拉	下拉	2	5MHz	66MHz
下拉	上拉	上拉	3	5MHz	80MHz
上拉	下拉	下拉	4	5MHz	100MHz
上拉	下拉	上拉	5	5MHz	120MHz
上拉	上拉	下拉	6	5MHz	133MHz
上拉	上拉	上拉	7	5MHz	50MHz, 不用

推荐使用频率：CPU 时钟 = 266MHz，SYS 时钟 = 100MHz。

LCD 控制器的分频时钟可以通过设置时钟分频寄存器的 [15:9] (LCD_CLK_CFG) 位进行配置，实现 CPU_CLK 的 2 分频到 256 分频，即 LCD_CLK_CFG+1 分频。

低速外设控制器的分频时钟可以通过设置时钟分频寄存器的 [20:18] (LPB_CLK_CFG) 位进行配置，实现同频到 16 分频，甚至时钟停止的控制，具体分频关系如表 3-4 所示。

表 3-4 分频时钟配置

时钟分频寄存器的配置值	系统时钟的分频
000	时钟停止
001	2 分频
010	4 分频
011	8 分频
100	16 分频

HS3210 系列芯片还有六个外部输入时钟，包括一个 AC97 数据传输时钟、两个 MAC 数据发送时钟、两个 MAC 数据接收时钟和一个 JTAG 测试时钟。

3.2 系统复位

HS3210 系列芯片在系统上电复位时，需要将某些芯片引脚上下拉进行配置。如下表格所示的全部引脚：

表 3-5 上电配置引脚汇总

配置引脚	引脚数量	功能	HS3210W	HS3210M	HS3210I
HPI_RST_ NN_CLE EMI_OE_	3	确定 CPU 时钟的频率	✓	✓	✓
A18、A17、A16	3	确定 SYS 系统时钟的频率	✓	✓	✓
NN_ALE	1	NOR FLASH 的位宽，上拉表示 16 位，下拉表示 8 位	✓	✓	✓
CLKBAK_MODE_	1	选择 PLL 的输入时钟，下拉选择 CLKBAK，上拉选择 XIN	-	-	-
SCAN_MODE_	1	芯片进入扫描链测试模式，仅 CP 和 FT 时使用	-	-	-
TEST_MODE_	1	扫描链测试启动，仅 CP 和 FT 时使用	-	-	-

HS3210 系列芯片中许多功能的引脚都复用成 GPIO，详见 2 引脚定义。当芯片复位时，默认是使用各种功能而不作为 GPIO 引脚，如果需要作为 GPIO 引脚，必须先将相应的 GPIO 使能寄存器位置为 1，详见 User Manual。

HS3210 系列芯片在系统复位时，默认是屏蔽所有的中断，如果需要使用中断，必须先设置中断使能寄存器中相应的位来使能该中断，详见 User Manual。

HS3210 系列芯片在系统复位时，监视器（看门狗）是不工作的，如果需要使看门狗，必须先将控制寄存器的使能位置 1，详见 User Manual。

HS3210 系列芯片在系统复位时，32 位 RISC CPU 的 PC 值为 0xbfc0_0000，

转换成物理地址是 0x1fc0_0000，这个地址属于 boot 的地址空间，系统复位后，32 位 RISC CPU 将从这里开始取指，所以 bios 引导程序必须放在这个位置。

另注：HS3210 系列芯片没有 CKE 引脚，而对于 SDRAM 颗粒而言，该引脚用于使能 SDRAM 颗粒，在与本芯片的板级连接使用时，必须将颗粒的 CKE 引脚做上拉处理。

3.3 地址空间

HS3210 系列芯片的物理地址空间一共 512MB，具体分配如表 3-6 所示。

表 3-6 HS3210 系列芯片地址空间

起始地址	大小	描述	HS3210W	HS3210M	HS3210I
0x0000_0000	256M	SDRAM	√	√	√
0x1000_0000	128M	Reserved	-	-	-
0x1C00_0000	32M	NOR Flash	√	√	√
0x1e00_0000	16M	HPI	√	√	√
0x1f00_0000	32	EMI 配置寄存器	√	√	√
0x1f00_0040	4	NAND Flash 数据端口	√	√	√
0x1f00_1000	4K	LCD 配置寄存器	-	√	√
0x1f00_2000	4K	Reserved	-	-	-
0x1f00_3200	256	HSB_MISC 配置寄存器	√	√	√
0x1f00_4000	4	SPI 配置寄存器	√	√	√
0x1f00_4040	32	PS/2 配置寄存器	-	-	√
0x1f00_4080	16	UART #0 配置寄存器	√	√	√
0x1f00_4090	16	UART #1 配置寄存器	-	-	√
0x1f00_40D0	8	I ² C 配置寄存器	√	√	√
0x1f00_4100	256	LPB_MISC 配置寄存器	√	√	√
0x1f00_4200	128	AC97 配置寄存器	√	√	√
0x1f00_4280	128	AC97 DMA 配置寄存器	√	√	√
0x1f00_4300	256	CAN #1 配置寄存器	√	-	√
0x1f00_4400	256	CAN #0 配置寄存器	√	√	√
0x1f00_5200	256	MAC0 配置寄存器	√	√	√
0x1f00_5300	256	MAC1 配置寄存器	√	-	-
0x1fc0_0000	1M	Boot 空间	√	√	√
0x1fd0_0000	1M	Reserved	-	-	-
0x1fe0_0000	1M	Reserved	-	-	-

注：Boot 空间地址物理上与 NOR FLASH 的 32M 地址空间中的 1M 空间相重合；具体重合空间根据 NOR Flash 所用到的地址总线数决定。由于最大的地址总线为 A[24:0]，所以 Boot 空间的 0x1fc?_???? 的低 25bit: 0x01C?_???? 将与 Nor Flash 的 0x1c??_???? ~0x1d??_???? 的低 25bit: 0x01C?_???? 相重叠。若所用的 NOR Flash 的容量 < 4M，其所用的地址线为 22bit，即 A[21:0]，则 Boot 空间将和 NOR Flash 的最低 1M 空间重合。

3.4 特别引脚使用说明

芯片中部分信号的引脚是内置上拉电阻的，包括 JTAG 接口部分信号：TAP_SEL、JRST_、JTCK、JTDI、JTMS；系统模式设置信号：SYS_RST_、【部分不引出的保留信号：SCAN_MODE_、TEST_MODE_、CLKBAK_MODE_，这三个信号可以不管】；还有 GPIO12-15 复用做中断信号 INT3~INT0。除此之外，芯片中其他全部引脚都没有内置上拉或者下拉电阻。

前面 3.2 提到的系统复位中用到跳线引脚，其所需的上拉或者下拉电阻都必须通过芯片外部的电阻来实现。如“图 3-1 需作上拉/下拉的引脚使用示”中 NN_ALE 所示的方法做 PCB 的设计，若只固定为上拉或者下拉状态，则不需要拨动开关以节省器件。

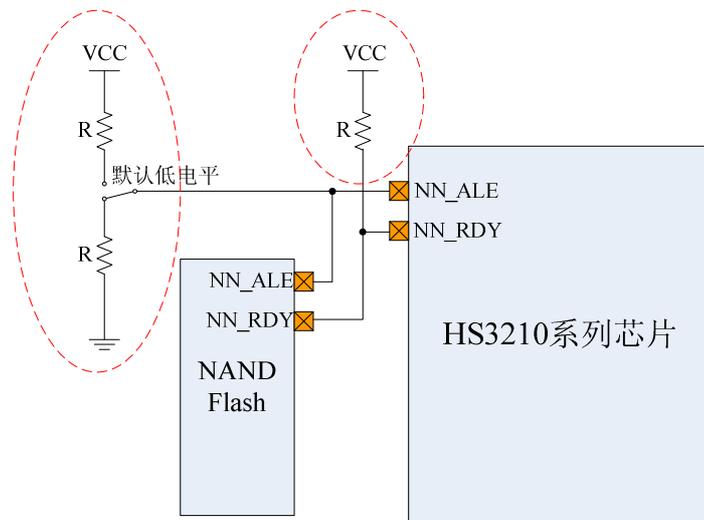


图 3-1 需作上拉/下拉的引脚使用示意图

还有两个引脚需要特别注意的：

一个是 NAND Flash 的 ready 信号“NN_RDY”，它是 NAND Flash 的输出信号（即 HS3210 系列芯片的输入信号），因为它通常是一个 OD 引脚，需要外部加上拉电阻，否则访问速度会变得很慢；

另外一个 HPI 接口的 ready 信号“HPI_RDY_”，若其所接的 DSP 如 Infineon 的 PEB 33322 的输出引脚也是 OD 类型，所以也需要外部加上拉电阻。其方法如“图 3-1 需作上拉/下拉的引脚使用示”中 NN_RDY 所示。

特别推荐：拉电阻 R 采用 10K 欧姆的阻值。

3.5 关于 LCD 转 VGA 说明

由于本芯片仅提供接数字显示屏的 LCD 接口，为了扩展接口的功能，可通过外围电路的补充来实现将数字 LCD 接口转为 VGA 接口，其原理如下：

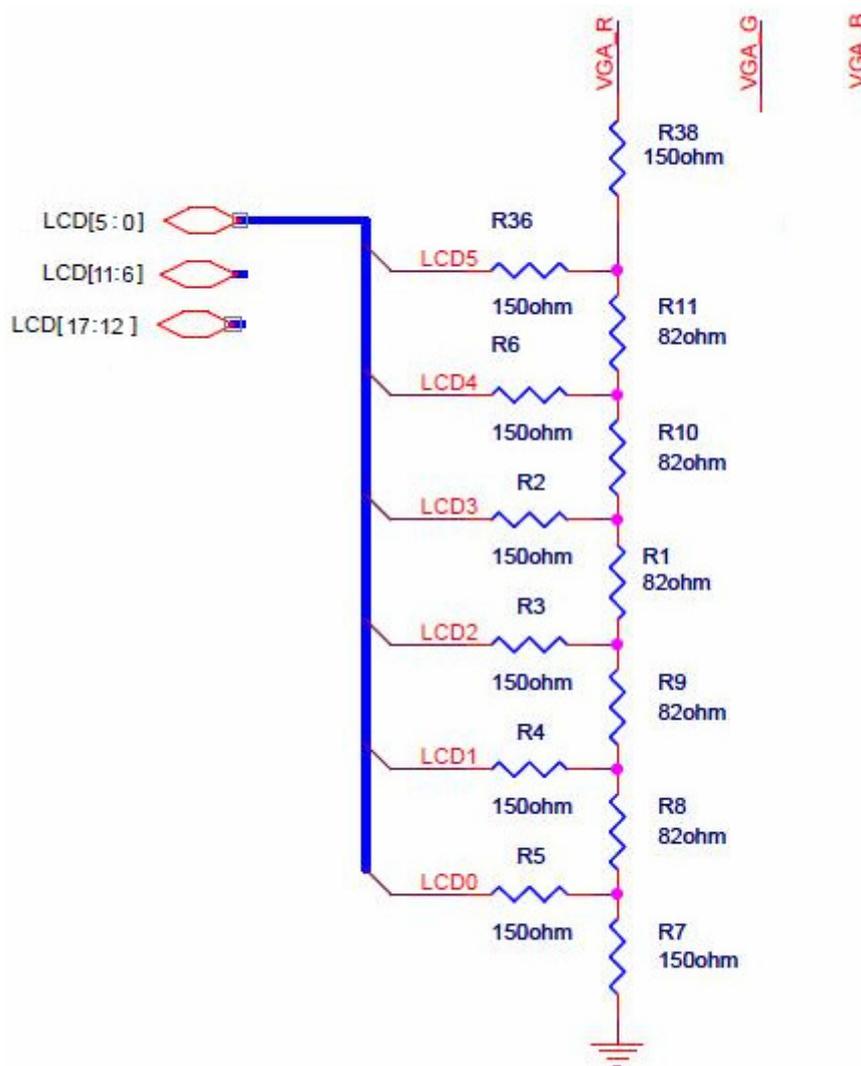


图 3-2 LCD 转 VGA 原理图

此 VGA 转换电路是利用电阻的分压原理来实现数模转换。因为 VGA 插座的输入引脚本身有 75 欧姆的固定对地电阻，当我们直接在 VGA 插座的输入引脚串一个电阻（如 270 欧姆）时，则 VGA 的输入电压为 $V_{IN} \cdot 75 / (75 + 200)$ 。只要 VGA R、G、B 的输入信号电压在 0.7 Vp-p 就可正常工作。

对于我们这个 VGA 转换电路，当 LCD0 为高电平而 LCD1 到 LCD5 为低电平时，则 VGA RED 信号的电压约为 0.2V，其它情况同样可以计算出。当每种颜色的输入全 1 时，VGA 的输入电平约为 0.7V，符合 0.7 Vp-p 的要求。该电路是 18 位色的，图中只详细画出了 LCD[5:0] → VGA_R 的电阻网络关系，其余的 LCD[11:6] → VGA_G 和 LCD[17:12] → VGA_B 的原理完全相同。

为了防止 VGA 显示产生颜色失真，除了采用高精度的电阻之外，还需要在每帧数据中间对数据进行清零操作，即使用 VM 信号的无效周期对 LCD[17:0] 进行全部清零。因为 VM 信号无效周期的电平极性既可能是低电平也可能是高电平，完全由软件对控制寄存器进行设定，所以清零电路的设计需要先和软件协调好。下面是 VM 信号在以低电平周期为无效的情况下作为例子说明。



图 3-3 VGA 帧间数据清零电路

图中使用使能 VM 信号分别对本芯片的 LCD 接口的 18 根数据输出信号 VD[17:0]进行与操作（即用 18 个与逻辑门，如采用 74HC08 器件），实现了在 VM 的低电平期间对 LCD[17:0]进行了清零，避免了下一帧图像显示的颜色失真。

4 电气特性

4.1 临界工作参数

表 4-1 临界工作参数

参数	符号	数值			单位	说明
		最小值	典型值	最大值		
内核电压	VCCINST	-0.5		2.5	V	
IO 电压	VCCIO	-0.5		4.6	V	
PLL 电压	AVDD18 AVDD_5AP	-0.5		2.5	V	
输入电压	VI	-0.5		6	V	
输出电压	VO	-0.5		4.6	V	
存储温度	Ts	-65		150	°C	
环境温度	Ta				°C	待定
ESD 保护	Vesd	0		3000	V	HBM 模型

注意：超出临界工作范围会对器件导致永久的损坏。长时间工作在临界范围会影响器件的可靠性，并可能导致不可逆的损坏。

4.2 推荐工作参数

4.2.1 直流电气特性

表 4-2 直流电气特性

参数	符号	数值			单位	说明
		最小值	典型值	最大值		
内核电压	VCCINST	1.62	1.8	1.98	V	
IO 电压	VCCIO	2.97	3.3	3.63	V	
PLL 电压	AVDD18 AVDD_5AP	1.62	1.8	1.98	V	独立滤波
IO 输入低电压	VIL	-0.3		1.2	V	
IO 输入高电压	VIH	1.5		5.5	V	
输入漏电流	IIL/IIH	-10		10	uA	
输出低电压	VOL			0.4	V	
输出高电压	VOH	2.4			V	
输入引脚电容					pF	
引脚电感					nH	
内置上拉电阻		39	65	116	KOhm	

4.2.2 交流电气特性

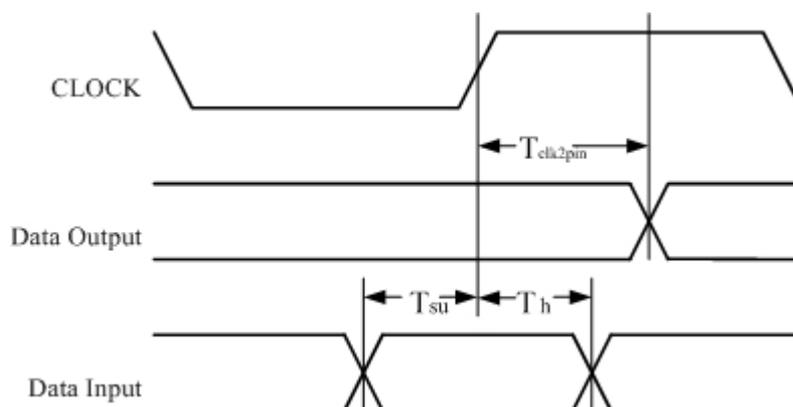


图 4-1 交流电气特性图

- 说明：
- 1) 输出延迟是从时钟输入管脚到信号输出管脚的总延迟。
 - 2) 输出延迟的三个值分别是最好、典型、最坏三种工作条件下的最大延迟。
 - 3) 输入保持时间的正值表示信号输入需要进行延迟补偿。

SDRAM 接口时序

时序	最小	典型	最大	单位
输出延迟 (clk2pin)	3.60	5.30	8.80	ns
输入建立时间 (Tsu)		1.25		ns
输入保持时间 (Th)		2.50		ns

NOR FLASH 接口时序

时序	最小	典型	最大	单位
输出延迟 (clk2pin)	4.05	5.90	9.60	ns
输入建立时间 (Tsu)		2.55		ns
输入保持时间 (Th)		1.00		ns

NAND FLASH 接口时序

时序	最小	典型	最大	单位
输出延迟 (clk2pin)	4.05	5.90	9.60	ns
输入建立时间 (Tsu)		2.55		ns
输入保持时间 (Th)		1.00		ns

AC97 接口时序

时序	最小	典型	最大	单位
输出延迟 (clk2pin)	4.0	6.0	10.5	ns
输入建立时间 (Tsu)		4.6		ns
输入保持时间 (Th)		0.35		ns

SPI 接口时序

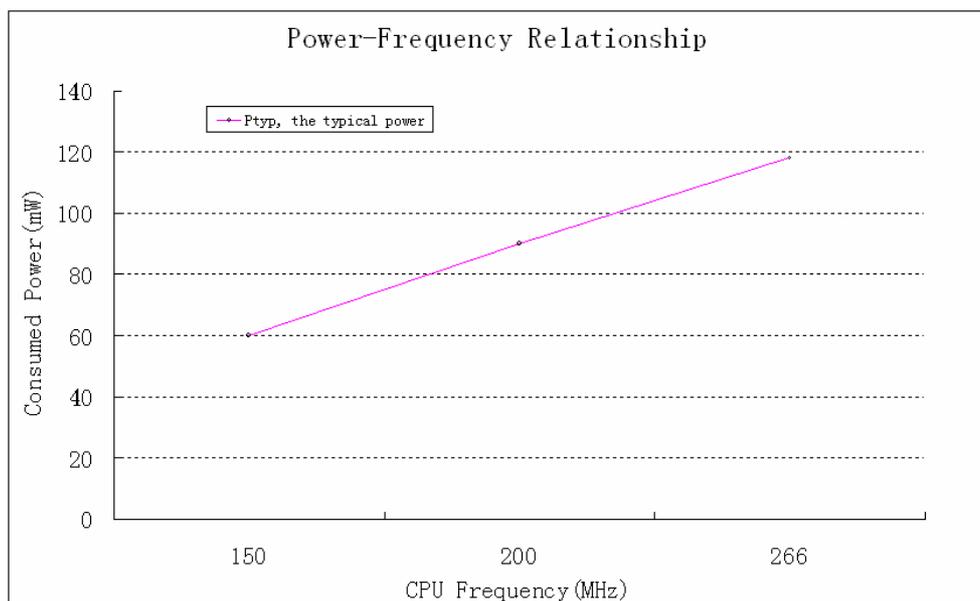
时序	最小	典型	最大	单位
输出延迟 (clk2pin)	4.35	6.45	10.50	ns
输入建立时间 (Tsu)		4.30		ns
输入保持时间 (Th)		0.80		ns

I2C 接口时序

时序	最小	典型	最大	单位
输出延迟 (clk2pin)	3.80	5.55	9.10	ns
输入建立时间 (Tsu)		0.60		ns
输入保持时间 (Th)		1.60		ns

4.3 功耗特性

参数	典型值	单位	备注
动态功耗	118	mW	@266MHz
	90	mW	@200MHz
	60	mW	@150MHz



4.4 封装信息

HS3210W	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)
HS3210M	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)
HS3210I	LQFP208 和 QFP208 (两种封装仅厚度及引脚长度不同)

4.4.1 LQFP208 封装

采用 LQFP208 封装形式, 外形尺寸为 28 mm×28mm×1.6mm, 引脚宽度为 0.22 mm, 相邻引脚中心间距为 0.5mm, 详细尺寸如下列图所示。

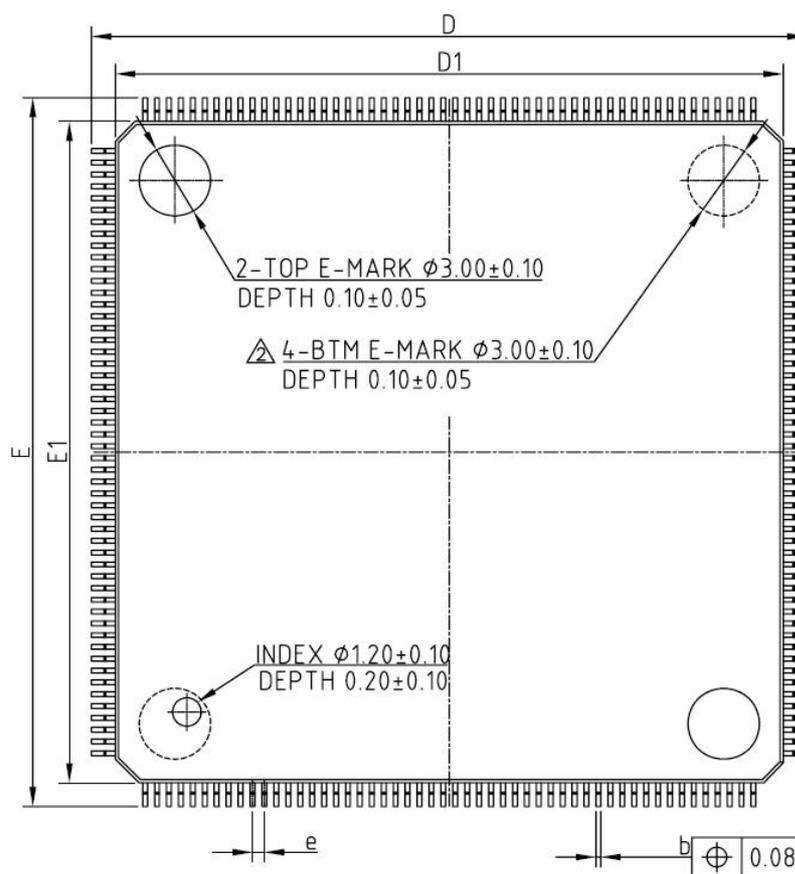


图 4-2 HS3210I LQFP208 封装俯视图

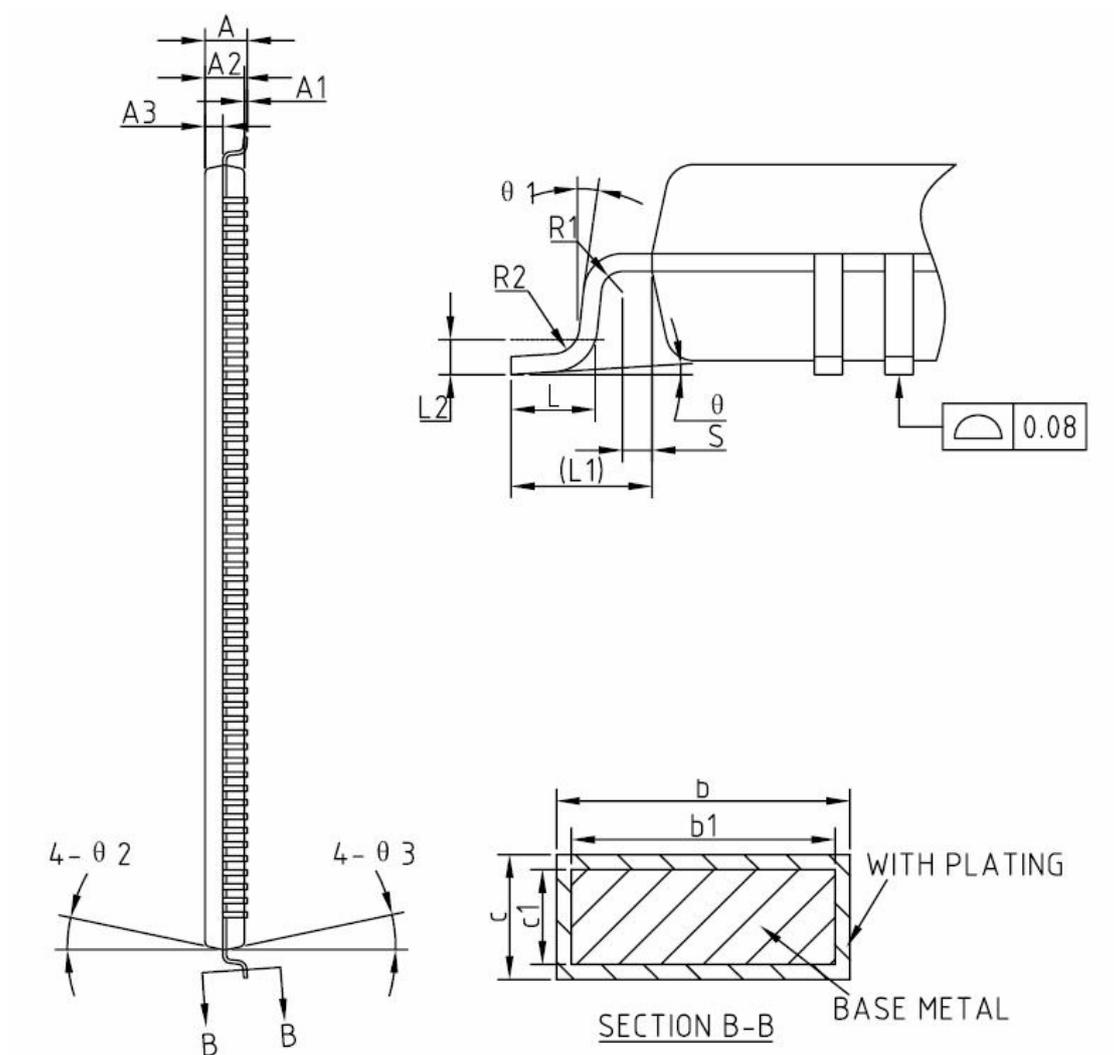


图 4-3 HS3210I LQFP208 封装侧视及剖面图

COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	29.80	30.00	30.20
D1	27.90	28.00	28.10
E	29.80	30.00	30.20
E1	27.90	28.00	28.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
θ_1	0°	—	—
θ_2	11°	12°	13°
θ_3	11°	12°	13°

NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD
MS-026 BJB DO NOT INCLUDE MOLD
FLASH OR PROTRUSIONS.

图 4-4 HS3210I LQFP208 封装图的尺寸数据说明

4.4.2 QFP208 封装

采用 QFP208 封装形式，外形尺寸为 28 mm×28mm×4mm，引脚宽度为 0.22 mm，相邻引脚中心间距为 0.5mm，详细尺寸如下列图所示。

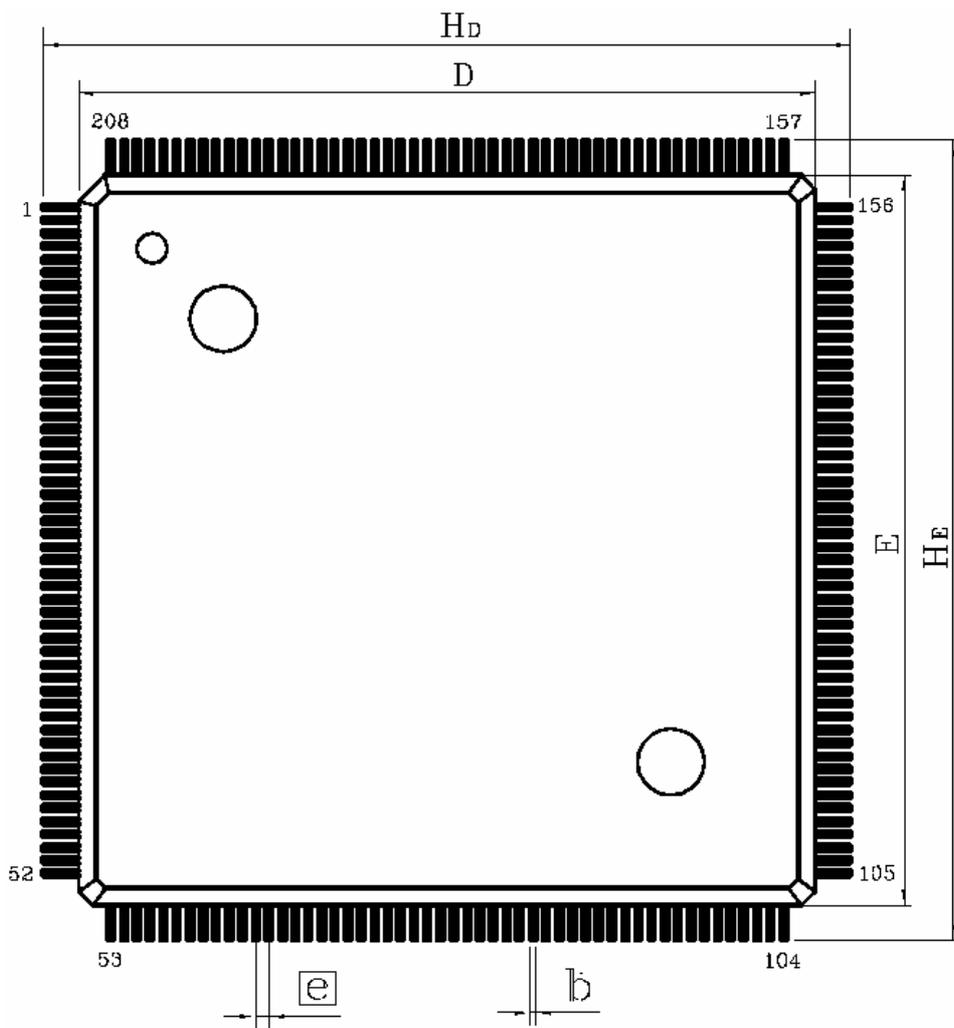


图 4-5 HS3210I QFP208 封装俯视图

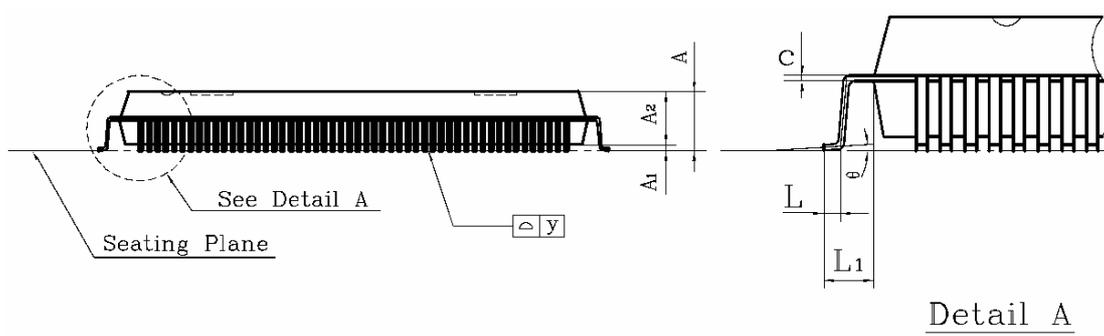


图 4-6 HS3210I QFP208 封装侧视及剖面图

Symbol	Dimension in inch			Dimension in mm		
	Min	Nom	Max	Min	Nom	Max
A	—	—	0.160	—	—	4.07
A ₁	0.010	—	—	0.25	—	—
A ₂	0.124	0.127	0.130	3.15	3.23	3.30
b	0.007	—	0.011	0.18	—	0.28
c	0.005	—	0.009	0.13	—	0.23
D	1.098	1.102	1.106	27.90	28.00	28.10
E	1.098	1.102	1.106	27.90	28.00	28.10
e	0.020 BSC			0.50 BSC		
H _D	1.195	1.205	1.215	30.35	30.60	30.85
H _E	1.195	1.205	1.215	30.35	30.60	30.85
L	0.014	0.020	0.026	0.35	0.50	0.65
L ₁	0.051 REF			1.30 REF		
γ	—	—	0.004	—	—	0.10
θ	0°	—	7°	0°	—	7°

Note:

- 1.Dimension D & E do not include interlead flash.
- 2.Dimension b does not include dambar protrusion/intrusion.
- 3.Controlling dimension : Millimeter
- 4.General appearance spec. should be based on final visual inspection spec.
- 5.DHS-QFP208LD(28X28mm)
Share the same package outline dwg on the QFP 208 DWG

图 4-7 HS3210I QFP208 封装图的尺寸数据说明

注：QFP208（28 mm×28mm×4mm）的厚度和 Footprint 与 LQFP208 略有不同。